

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11311643 A**

(43) Date of publication of application: **09.11.99**

(51) Int. Cl.

**G01R 19/00**  
**G01R 19/165**

(21) Application number: **10378195**

(22) Date of filing: **21.12.98**

(30) Priority: **19.12.97 US 97 68176**

(71) Applicant: **TEXAS INSTR INC <TI>**

(72) Inventor: **KOELLING JEFFREY E**  
**JUNG CHE C**

**(54) VOLTAGE DETECTION CIRCUIT**

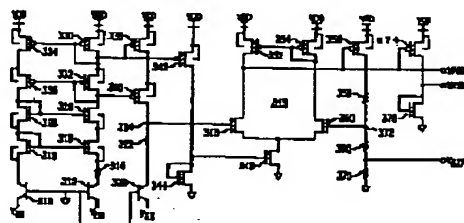
**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a voltage detection circuit which is stable.

**SOLUTION:** In a voltage detection circuit, a first reference voltage 324, a first differential amplifier 349 in which an inverting input connected to the first reference voltage 324, a non-inverting input and an output are provided, a first transistor 356, in which a control terminal connected to the output of the first differential amplifier 349, a first current terminal connected to a power supply and a second current terminal connected to the noninverting input of the first differential amplifier 349 are provided, a first load 358 in which a first terminal connected to the second current terminal of the first transistor 356 and a second terminal are provided, a second load 360 in which a first terminal connected to the second terminal of the first load 358 and a second terminal connected to a second reference potential are provided, a second differential amplifier 391 in which an inverting input, a non-inverting input connected to the first terminal of the second load 360 and a detection output are provided, a second transistor 382 in which a control terminal connected to the output of the first differential amplifier 349, a first current terminal connected to the power supply and a second current terminal connected to the inverting input of the second differential amplifier

391 are provided, and third loads 386, 384 in which a first terminal connected to the inverting input of the second differential amplifier 391 and a second terminal connected to the detection point of a voltage level are provided are contained.

**COPYRIGHT: (C)1999,JPO**



(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平 1 1 - 3 1 1 6 4 3

(43)公開日 平成 1 1 年 ( 1 9 9 9 ) 1 1 月 9 日

(51)Int.Cl.<sup>6</sup>

G01R 19/00

19/165

識別記号

庁内整理番号

F I

G01R 19/00

19/165

技術表示箇所

B

J

K

審査請求 未請求 請求項の数 9 O L 外国語出願 (全 3 3 頁)

(21)出願番号 特願平 1 0 - 3 7 8 1 9 5

(22)出願日 平成 1 0 年 ( 1 9 9 8 ) 1 2 月 2 1 日

(31)優先権主張番号 0 6 8 1 7 6

(32)優先日 1 9 9 7 年 1 2 月 1 9 日

(33)優先権主張国 米国 ( U S )

(71)出願人 5 9 0 0 0 0 8 7 9

テキサス インスツルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 1 3 5  
0 0

(72)発明者 ジェフリー イー. ケーリング

アメリカ合衆国 テキサス州ダラス, プレ  
ストン ロード 1 9 0 1 9, アパートメ  
ント 5 2 2

(74)代理人 弁理士 浅村 皓 (外 3 名)

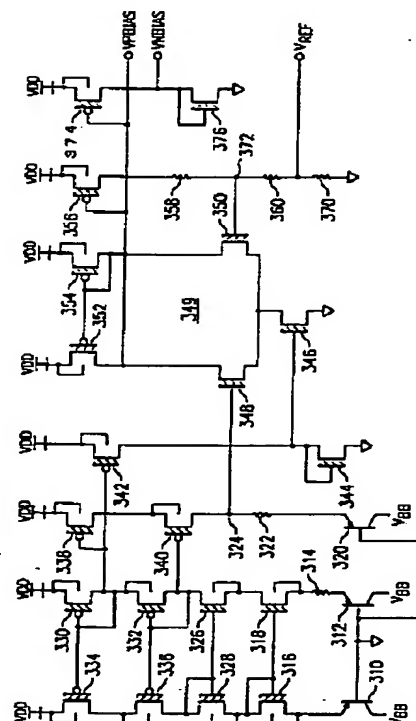
最終頁に続く

(54)【発明の名称】電圧検出回路

(57)【要約】

【課題】 安定な電圧検出回路を得る。

【解決手段】 本回路は、第 1 基準電圧 3 2 4、第 1 基準電圧へつながる反転入力、非反転入力、出力を有する第 1 差動増幅器 3 4 9、第 1 差動増幅器出力へつながる制御端子、電源へつながる第 1 電流端子、第 1 差動増幅器非反転入力へつながる第 2 電流端子を有する第 1 トランジスタ 3 5 6、第 1 トランジスタ第 2 電流端子へつながる第 1 端子と、第 2 端子とを有する第 1 負荷 3 5 8、第 1 負荷第 2 端子へつながる第 1 端子、第 2 基準電位へつながる第 2 端子を有する第 2 負荷 3 6 0、反転入力、第 2 負荷第 1 端子へつながる非反転入力、検出出力を有する第 2 差動増幅器 3 9 1、第 1 差動増幅器出力へつながる制御端子、電源へつながる第 1 電流端子、第 2 差動増幅器反転入力へつながる第 2 電流端子を有する第 2 トランジスタ 3 8 2、第 2 差動増幅器反転入力へつながる第 1 端子、電圧レベル検出地点へつながる第 2 端子を有する第 3 負荷 3 8 6、3 8 4 を含む。



## 【特許請求の範囲】

【請求項 1】 集積回路中の電圧レベルを検出するための回路であって、

第 1 基準電圧、

前記第 1 基準電圧へつながれた反転入力端子、非反転入力端子、および出力端子を有する第 1 差動増幅器、

前記第 1 差動増幅器の前記出力端子へつながれた制御端子を有し、電圧供給端子へつながれた第 1 電流ハンドリング端子を有し、更に前記第 1 差動増幅器の前記非反転入力端子へつながれた第 2 電流ハンドリング端子を有する第 1 トランジスタ、

前記第 1 トランジスタの前記第 2 電流ハンドリング端子へつながれた第 1 端子と、第 2 端子とを有する第 1 負荷デバイス、

前記第 1 負荷デバイスの前記第 2 端子へつながれた第 1 端子と、第 2 基準電位へつながれた第 2 端子とを有する第 2 負荷デバイス、

反転入力端子、前記第 2 負荷デバイスの前記第 1 端子へつながれた非反転入力端子、および電圧検出力信号を供給する出力端子を有する第 2 差動増幅器、

前記第 1 差動増幅器の前記出力端子へつながれた制御端子を有し、前記電圧供給端子へつながれた第 1 電流ハンドリング端子を有し、更に前記第 2 差動増幅器の前記反転入力端子へつながれた第 2 電流ハンドリング端子を有する第 2 トランジスタ、および前記第 2 差動増幅器の前記反転入力端子へつながれた第 1 端子を有し、電圧レベルを検出すべき場所へつながれた第 2 端子を有する第 3 負荷デバイスを含む電圧検出回路。

【請求項 2】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 1 負荷デバイスが抵抗である電圧検出回路。

【請求項 3】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 2 負荷デバイスが抵抗である電圧検出回路。

【請求項 4】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 3 負荷デバイスが抵抗である電圧検出回路。

【請求項 5】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 1 トランジスタが電界効果トランジスタである電圧検出回路。

【請求項 6】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 2 トランジスタが電界効果トランジスタである電圧検出回路。

【請求項 7】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 1 基準電圧が、回路であってバンドギャップ電流発生器、

前記バンドギャップ電流発生器へつながれたカレントミラーであって、前記バンドギャップ電流発生器中で発生した電流に比例する電流を電流出力端子へ供給するカレントミラー、および前記電流出力端子へつながれた第 1

端子と、第 3 基準電位へつながれた第 2 端子とを有する負荷デバイス、を含む回路から供給されるようになった電圧検出回路。

【請求項 8】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 3 基準電位が、バイポーラトランジスタのベースを前記第 2 基準電圧へつなぎ、前記バイポーラトランジスタのエミッターを前記負荷デバイスの前記第 2 端子へつなぐことによって供給されるようになった電圧検出回路。

【請求項 9】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記負荷デバイスが抵抗である電圧検出回路。

## 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は集積回路中の電圧検出に関するものであって、更に詳細には、チップ上で発生した電圧レベルの検出と、チップ上で発生したそれら電圧の制御とに関する。

【 0 0 0 2 】

【従来の技術】最新の集積回路では、適正な動作のために数多くの電圧レベルが必要とされる。しかし、集積回路の入力／出力接続システムを簡略化するために（すなわち、ピン数を最小化するために）、顧客は 1 本のアースピンと 1 本の電力供給入力ピンとを備える非常に簡略化された電源を要求する。集積回路の製造業者はこれに応えて、要求特性を満足するためにチップ上で電圧を発生する集積回路を提供するようになった。そのようなチップ上での電圧発生器は、電圧を昇圧したり、または電圧を適切なレベルに下げたりするために電流ポンプ等の装置を使用する。そのような電圧発生器は、集積回路上へ正しい電圧を提供できるように注意深く調整される必要がある。

【 0 0 0 3 】

【発明の解決しようとする課題】図 1 は、一般に  $V_{DD}$  と呼ばれる、電源電圧よりも高く昇圧される電圧の電圧レベルを決定するための従来技術による電圧制御装置の模式図である。 $V_{DD}$  は P チャンネルトランジスタ 10 のドレインへつながれている。P チャンネルトランジスタ 10 のゲートは P チャンネルトランジスタ 10 のソースへつながれている。P チャンネルトランジスタ 10 のソースは P チャンネルトランジスタ 12 のドレインへつながれている。トランジスタ 12 のゲートは基準電位  $V_{REF}$  へつながれている。トランジスタ 12 のソースは P チャンネルトランジスタ 14 のドレインへつなされ、後者のゲートはアース電位へ、またそのソースもアース電位へつながれている。この構成において、もしもトランジスタ 12 のソース電圧が  $V_{REF}$  よりも  $V_{REF}$  1 個分以上高く引き上げられれば、ノード 16 上の電圧は高レベルへプルアップされるが、そうでなければ、ノード 16 の電圧はアース近くへプルダウンされる。

【0004】基準電位  $V_{ref}$  がN形トランジスタ18のゲートへつながれている。ノード16の出力がN形トランジスタ20へつながれている。これらのトランジスタは差動増幅器の形に接続されており、トランジスタ22および24のゲートへ供給される電圧によってスイッチオンおよびオフされる。P形トランジスタ26および28はこの差動増幅器のためのプルアップ電位を供給する。この差動増幅器の出力は、Pチャンネルトランジスタ30およびNチャンネルトランジスタ31のゲートへ供給される。トランジスタ30および31は相補型イン

10 パータを提供しており、それはP形トランジスタ34および36によってプルアップされ、またNチャンネルトランジスタ38および40によってプルダウンされる。トランジスタ22、38、および34は幅の狭い低電流トランジスタである。トランジスタ24、36、および40は幅の広い大電流の駆動トランジスタである。トランジスタ30および31を含むインパータのプルアップ側では、トランジスタ36が強いプルアップを提供し、トランジスタ34は弱いプルアップを提供する。インパ

20 ータの対トランジスタ30および31の出力が高レベルの時は、それはトランジスタ20のゲート上の電圧が、トランジスタ18のゲート上に供給される  $V_{ref}$  よりも低いことを意味する。このことは  $V_{ref}$  を適正な電圧レベルへ戻すためにポンピングが必要であることを意味する。

【0005】このように、インパータ42の入力へ供給される高電圧は低出力へ反転されて、それがNORゲート44に高出力をもたらし、それが更にインパータ46によって反転されて低出力を提供することになる。この低出力は、トランジスタ36が高いプルアップ電流源を

30 提供し続けるように働く。インパータ46の出力はインパータ48によって反転されて高電圧を提供し、それがトランジスタ34をオフにする。トランジスタ36はより大きい駆動電流を提供する能力を有するので、このシステムは、“オン”信号を提供するためのバイアスを回路中に提供し、またそれによって  $V_{ref}$  を発生する発生器のためのポンピングを提供する。同様にして、トランジスタ24および40のゲートへ供給される許可信号（イネーブル、ENABLE）は、その信号が提供される時に、トランジスタ24および40がより強力なプルダウン機能を提供し、それによってより高速な動作を提供できるようにする。

【0006】入力  $V_{ref}$  は、集積回路の高度な利用において指示される各種状態のもとで、回路に対するオーバーライドを提供する。  $V_{ref}$  が高レベルの時は、インパータ50の出力は低レベルであり、それはインパータ42によって提供される入力の如何に関わらず、NORゲート44の出力を高レベルにする。

【0007】トランジスタ10および12のスレッシュ

50 ルド電圧が図1の電圧検出器のトリガー点を決定する。

スレッシュロルド電圧は、図1の回路を含む集積回路の製造時のプロセス変動によって変化するし、また回路の動作温度によっても変化する。従って、トリガー点は正確に設定できない。従って、図1の従来技術は、現代の高密度、従って高感度の集積回路に対して必要とされるプロセス変動および温度変動に直面して安定性を保てない。

【0008】図2は従来技術による別の  $V_{ref}$  検出器の模式図である。  $V_{ref}$  はPチャンネルトランジスタ110のソースへつながれている。トランジスタ110のゲートは基準電圧  $V_{ref}$  へつながれている。トランジスタ110のドレインはPチャンネルトランジスタ112のソースへつながれている。トランジスタ112のゲートは検出許可信号へつながれている。検出は、許可信号が低レベルへ移行してトランジスタ112をターンオンすることによって許可される。更に、許可信号はNチャンネルトランジスタ114のゲートへ供給されて、それをターンオフする。許可信号が高レベルで、検出が禁止されていることを示す時には、トランジスタ114がオンで、トランジスタ116のゲートがアースへクランプされて

いる。

【0009】許可信号が低レベルの時は、トランジスタ114がオフで、ノード115上の電圧レベルは  $V_{ref}$  の電圧レベルによって決まる。  $V_{ref}$  が  $V_{ref}$  よりも  $V_{ref}$  1個分高く上昇すると、トランジスタ110がターンオンして、ノード115は高レベルへプルアップされる。ノード115上の高電圧はトランジスタ116をターンオンさせる。トランジスタ116はプルアップトランジスタ120と直列につながれており、後者はP形トランジスタであって、そのゲートをアースへ、またそのソースを電力供給2へつながれている。トランジスタ122はプルダウントランジスタであって、そのソースはアースへ、またそのゲートは電力供給2へつながれている。これら2個のトランジスタは比較的高い抵抗を有し、それによってプルアップおよびプルダウンの電流源を提供するように設計される。こうして、ノード124の電圧はトランジスタ116の状態だけで決まる。トランジスタ116がオンの時は、ノード124における電圧点は低くプルダウンされ、それによってインパータ126が高出力を有し、インパータ128が低出力を有するようにされる。電圧変化はトランジスタ130によって減衰するが、このトランジスタ130はゲートをインパータ126の入力へつながれ、またソースおよびドレインをアースへつながれている。これは容量性の機能を提供し、それによってノード124における入力に対する時間遅延を提供する。インパータ126および128はステップダウンラッチ132に対して信号を供給し、このラッチは出力をインパータ134の入力へ供給するが、この入力

50 はインパータ126の入力からの非反転信号である。インパータ134の出力はインパータ136

によって反転されて、完全にラッチおよびバッファされた回路出力が得られる。

【0010】図2の回路中で検出される電圧レベルは、トランジスタ110のスレッシュホールド電圧に大いに依存する。この特性は、プロセス変動および温度条件に大いに依存する。従って、図2の検出器は最新の高度に集積された集積回路に対して許容できないプロセス変動を与える。

【0011】図3は、従来技術による、 $V_{11}$ あるいは基板電圧検出器の図である。当該分野では、最も低い供給電圧よりも更に低い基板電圧を提供することが普通に行われる。高レベルの許可信号を提供することで、トランジスタ210および232をターンオフしながら、図3の検出器が許可される。トランジスタ218のゲートはアースへつながれている。Nチャンネルトランジスタ222のゲートもまたアースへつながれている。トランジスタ224および226はそれらのゲートをそれらのドレインへつながれているため、トランジスタ222のソースに対して $V_{11}$ から $V_{12}$ 個分低下した電圧を供給している。トランジスタ222のソースが、所望レベルよりも低下する $V_{11}$ によって所望レベルからアース下 $V_{11}$ 個分プルダウンされる時は、トランジスタ222がオンして、トランジスタ228のゲートはアースへプルダウンされる。こうしてトランジスタ228がオフになる。この低レベルはまた、トランジスタ218を通してトランジスタ230のゲートへ送られる。後者のトランジスタはPチャンネルトランジスタである。これによってPチャンネルトランジスタ230がオンする。

【0012】 $V_{11}$ が上昇して、トランジスタ228がオンするレベルに達すると、インバータ250への入力は低レベルへプルダウンされ、それによってインバータ250の出力は高レベルになる。トランジスタ230、248、228、および246はNANDゲートを構成する。出力をNOT化されたNANDゲートは機能的にはORゲートと等価である。従って、インバータ250とつながれたこのNANDゲートはORゲートを提供する。もし図3の回路が動作すれば、許可バー(ENABLEバー)信号は低レベルとなり、インバータ211の出力は高レベルになる。インバータ250の高出力とのこの組み合わせは、NANDゲート252に低出力を提供させ、 $V_{11}$ 電圧レベルを下げるために $V_{11}$ ポンプが動作すべきことを指示する。

【0013】履歴効果を与えるために、図3の回路は二重検出方式を採用している。許可バー信号がトランジスタ232をターンオンする時は、第2の検出器が提供される。トランジスタ212はそのゲートをトランジスタ210のソースへつながれており、トランジスタ210、214、および216によって確立される、 $V_{dd}$ からの電圧降下を提供している。 $V_{11}$ はNチャンネルトランジスタ234のソースへつながれており、後者のト

ランジスタのゲートおよびドレインはNチャンネルトランジスタ236のソースへつながれている。従って、トランジスタ236のドレインは $V_{11}$ よりもスレッシュホールド電圧2個分上にある。トランジスタ236および234は、トランジスタ224および226よりも高いスレッシュホールド電圧を持つようにドーピングされる。 $V_{11}$ のレベルがスレッシュホールド電圧降下3個分低下する時は、アースへつながれたトランジスタ238のゲートはトランジスタ238のドレインよりもスレッシュホールド電圧1個分高くなる。 $V_{11}$ がこの電圧(それはトランジスタ236および234の高いスレッシュホールド電圧のせいで、トランジスタ222のターンオン点よりも低い)よりも低下すると、トランジスタ240はターンオンし、トランジスタ242はターンオフする。トランジスタ240、242、254、および256はNORゲートを構成し、その1入力はインバータ250の出力であり、他の入力はトランジスタ234、236、および238によって決まる $V_{11}$ レベルである。

【0014】インバータ250の出力は、トランジスタ240がターンオフし、トランジスタ242がターンオンする(トランジスタ234および236のスレッシュホールド電圧がより高いので)電圧よりも高い(より負でない)電圧によって高出力ヘトリガーされるので、インバータ250の出力が高レベルへ移行する時はトランジスタ242は常にオンになる。こうして、インバータ244の入力は低レベルへプルダウンされて、トランジスタ246および248のゲートへ供給される電圧を高レベルへ移行させる。このことは、トランジスタ228および230の状態の如何に関わらずインバータ250に高出力を提供させるため、ラッチ効果を与えることになる。一旦このラッチ効果が生ずると、トランジスタ234、236、および238によって与えられるレベル検出が制御できるようになる。 $V_{11}$ がトランジスタ238をターンオンするのに十分低く(十分負に)なった時だけ、“ラッチ”は状態を変化させるであろう。

【0015】特定の状況では、電圧レベル検出器によって検出される電圧レベルの如何に関わらず、すべての状況において基板ポンプを遮断しなければならない。そのような状況では、許可バーが高レベルへ持ち上げられて、インバータ250によって供給される入力信号の如何に関わらず、NANDゲート252によって提供される $V_{11}$ ストップ出力信号を高レベルへ引き上げる。

【0016】図3の回路の動作から容易に理解されるように、この回路はトランジスタ222、224、226、236、234、および238のスレッシュホールド電圧に大いに依存する。このような特性上の振る舞いはプロセス変動に大いに依存し、従って現代の高密度集積回路の高感度回路において許容できない。

【0017】

【課題を解決するための手段】本発明のここに述べる実

施例は集積回路中の電圧レベルを検出するための回路を含み、その回路には、第 1 基準電圧、前記第 1 基準電圧へつながれた反転入力端子、非反転入力端子、および出力端子を有する第 1 の差動増幅器、前記第 1 の差動増幅器の出力端子へつながれた制御端子を有し、電圧供給端子へつながれた第 1 の電流ハンドリング端子を有し、更に前記第 1 の差動増幅器の非反転入力端子へつながれた第 2 の電流ハンドリング端子を有する第 1 トランジスタ、前記第 1 トランジスタの第 2 電流ハンドリング端子へつながれた第 1 端子と、第 2 端子とを有する第 1 負荷デバイス、前記第 1 負荷デバイスの第 2 端子へつながれた第 1 端子と、第 2 基準電位へつながれた第 2 端子とを有する第 2 負荷デバイス、反転入力端子、前記第 2 負荷デバイスの第 1 端子へつながれた非反転入力端子、および電圧検出力信号を供給する出力端子を有する第 2 の差動増幅器、前記第 1 の差動増幅器の出力端子へつながれた制御端子を有し、前記電圧供給端子へつながれた第 1 電流ハンドリング端子を有し、更に前記第 2 の差動増幅器の反転入力端子へつながれた第 2 電流ハンドリング端子を有する第 2 トランジスタ、前記第 2 の差動増幅器の反転入力端子へつながれた第 1 端子を有し、電圧レベルが検出されるべき場所へつながれた第 2 端子を有する第 3 負荷デバイスが含まれている。これによって高度に安定な電圧検出システムが得られる。

【0018】

【発明の実施の形態】図 4 は本発明の一実施例の模式図である。図 4 は、PNP トランジスタ 310 および 312、抵抗 314、および N チャンネル トランジスタ 316 および 318 によって提供されるバンドギャップ電流レベル設定機構を含んでいる。トランジスタ 312 は、同じスレッショルド電圧レベルにおいてトランジスタ 310 よりもずっと大きい電流容量を有するように選ばれる。トランジスタ 310 および 312 のコレクターは基板  $V_{ss}$  電位へつながれている。トランジスタ 310 および 312 の  $V_{be}$  電圧がトランジスタ 310 および 312 を流れる電流を設定する。キルヒホッフ則に従えば、閉じた経路に沿っての電圧の合計はゼロに等しい。従って、トランジスタ 310 および 312 の  $V_{be}$  に抵抗 314 両端での電圧降下を加え、更にトランジスタ 318 および 316 の  $V_{be}$  を加えるとゼロにならなければならない。また、トランジスタ 310 の  $V_{be}$  およびトランジスタ 316 の  $V_{be}$  と、これらのトランジスタを流れる電流との間には一定の関係がある。同様に、トランジスタ 312 の  $V_{be}$ 、抵抗 314 両端の電圧降下、およびトランジスタ 316 の  $V_{be}$  と、これらのトランジスタおよび抵抗を流れる電流との間にも一定の関係がある。これらの方程式を解くことで単一解が求まる。このように、このバンドギャップ回路は、トランジスタ 310 および 312 を流れる高度に安定した電流を提供する。

【0019】トランジスタ 312 を流れる高度に安定し

た電流はまた、抵抗 330 および 332 中をも流れる。この電流はトランジスタ 338 および 340 に対してミラー複製 (mirror) される。ミラー複製された電流は抵抗 322 両端に電圧降下をもたらし、それはトランジスタ 320 の  $V_{be}$  電圧降下と一緒にノード 324 における電圧を設定する。

【0020】324 における電圧点は、それが抵抗 314 と 322 との相対的抵抗値レベルに依存するため、高度に安定している。プロセス変動は抵抗 314 と 322 とで同じように作用するため、ノード 324 に設定される電圧レベルは非常に安定である。例えば、もし抵抗 314 の抵抗値が下がれば、トランジスタ 312 を流れる電流が増えて、トランジスタ 338 および 340 へミラー複製される電流も増大する。しかし、抵抗 322 の抵抗値もまた抵抗 314 と同じプロセス変動に従って変動するので、その抵抗値も低下しているであろう。従って、トランジスタ 338 および 340 を流れるより大きい電流は抵抗 322 の低下した抵抗値によってうち消されよう。

【0021】トランジスタ 342 へミラー複製される電流はトランジスタ 344 を流れる。この電流はトランジスタ 346 へミラー複製され、後者のトランジスタはトランジスタ 348 および 350 で構成される差動増幅器 349 を駆動する。トランジスタ 348 は、そのゲートへの入力として、ノード 324 に設定された高度に安定な電圧レベルを受け取る。トランジスタ 348 および 350 で構成される差動増幅器対は、トランジスタ 352 および 354 によってプルアップ電流を供給される。抵抗 358、360、および 370 を流れる電流がトランジスタ 350 のゲートへの入力電圧を設定する。これらの抵抗を流れる電流はトランジスタ 356 によって設定される。もしもトランジスタ 350 のゲート電圧がトランジスタ 348 のゲート電圧を越えれば、トランジスタ 346 を流れる電流はトランジスタ 350 を通るように迂回することによって、トランジスタ 356 のゲートをトランジスタ 352 によって供給される電流を通してより高レベルへプルアップさせる。これによって抵抗 360 および 370 両端の電圧降下は、ノード 372 の電圧がノード 324 へ供給されるものと正確に等しくなるまで低下する。こうして、トランジスタ 348 および 350 によって構成される差動増幅器は、正確に等価な電圧を供給しながら、ノード 324 をノード 372 から分離する。この分離によって、抵抗 370 両端の電圧降下によって提供される  $V_{be}$  に関連する活動が、ノード 324 によって確立される正確な電圧に影響を及ぼすことが防止される。更に、差動増幅器 349 に影響するプロセスおよび温度の変動も、以下に説明するように、図 5 の差動増幅器 391 または図 6 の差動増幅器 421 に影響する同じ変動によって正確にうち消される。

【0022】これに加えて、トランジスタ 356 に適切

な電流を流すゲート電圧レベルがトランジスタ 3 7 4 のゲートへ供給されて、後者のトランジスタはトランジスタ 3 7 4 およびバイアストランジスタ 3 7 6 を通してほぼ同様な電流を流すように働く。トランジスタ 3 7 4 のゲートからの出力は、図 5 および図 6 の回路において P 形プルアップトランジスタをバイアスするための V P B I A S を提供し、トランジスタ 3 7 6 のゲート電圧は同じくプルダウントランジスタをバイアスするための V N B I A S を提供する。

【 0 0 2 3 】 図 5 は本発明の引き続く一実施例の模式図であって、それは  $V_{ref}$  の電圧レベルを検出するための検出器を含んでいる。図 4 からの V N B I A S および V P B I A S がそれぞれ、トランジスタ 3 8 0 および 3 8 2 のゲートへ供給される。V N B I A S および V P B I A S はそれらのトランジスタに対してバイアスを供給し、それによってそれらは流れる電流を図 4 のトランジスタ 3 7 4 および 3 7 6 中へミラー複製する。 $V_{ref}$  は抵抗 3 8 4 および 3 8 6 へつながれている。製造しやすいように（それが本当の理由だろうか？）、 $V_{ref}$  とノード 3 8 8 との間の抵抗は 2 つの抵抗に分割される。V P B I A S を通して電流レベルが固定レベルに設定されるため、ノード 3 8 8 の電圧は抵抗 3 8 6 および 3 8 4 両端の電圧降下分だけ  $V_{ref}$  よりも高いレベルに固定されよう。これは、電圧降下が抵抗 3 8 4 および 3 8 6 を流れる固定電流とそれらの固定された直列抵抗値との積であるからである。抵抗 3 7 0（図 4）と、抵抗 3 8 6 および 3 8 4 に影響するプロセス変動は、温度またはその他のプロセス変動によるものとほとんど等しい変動を与えるであろう。従って、それらのプロセス変動はこの電圧検出器の動作において打ち消し合う傾向を持つであろう。

【 0 0 2 4 】 ノード 3 8 8 の電圧はトランジスタ 3 9 0 のゲートへ送られる。 $V_{ref}$  がトランジスタ 3 9 2 のゲートへつながるゲートへ送られる。トランジスタ 3 9 0 および 3 9 2 は差動増幅器を構成し、それによってノード 3 8 8 の電圧がトランジスタ 3 9 2 のノードの電圧レベルよりも低下する時には、トランジスタ 3 9 0 がターンオフし始めて、インバータ 3 9 4 へ供給される電圧がプルアップトランジスタ 3 9 6 によってプルアップされるのを許容するようになっていく。高電圧はインバータ 3 9 4 の出力を 0 へ移行させて、 $V_{ref}$  が低レベルへポンピングされたこと、そして  $V_{ref}$  ポンプはターンオフすべきことを表示する。もしもノード 3 8 8 の電圧が上昇しすぎれば、インバータ 3 9 4 の入力電圧がトランジスタ 3 9 0 を介して低レベルへプルダウンされて逆の効果をもたらされ、 $V_{ref}$  ポンプはターンオンされよう。

【 0 0 2 5 】 図 6 は本発明の相補的構成であり、図 4 の回路から供給される同じ基準電圧を用いて  $V_{ref}$  の検出が可能となっている。図 4 からの V N B I A S がトランジスタ 4 1 0 および 4 1 2 のゲートへ送られる。 $V_{ref}$  は抵抗 4 1 4 および 4 1 6 へつながれて、それらの抵抗はト

ランジスタ 4 1 0 を流れる電流のために  $V_{ref}$  からノード 4 1 8 への電圧降下を引き起こす。ノード 4 1 8 の電圧はトランジスタ 4 2 0 のゲートへ供給されて、また図 4 からの  $V_{ref}$  がトランジスタ 4 2 2 のゲートへ供給されている。 $V_{ref}$  が、ノード 4 1 8 の電圧によって示されるように、所望レベル以上に上昇した時は、トランジスタ 4 2 0 がより多くの電流を引き出すことで、インバータ 4 2 4 の入力を低レベルへ移行させる。こうして、インバータ 4 2 4 の出力は高レベルへ移行して過電圧状態を表示し、 $V_{ref}$  を供給している電圧ポンプを停止すべきことを表示する。ノード 4 1 8 の電圧が電圧基準以下に低下して、 $V_{ref}$  が低すぎることを表示する時は、トランジスタ 4 2 0 の電流引き出しの強さが低下して、インバータ 4 2 4 の入力はトランジスタ 4 2 6 を介してプルアップされることが許容される。トランジスタ 4 2 8 は差動増幅器の他方の入力に対する負荷として機能する。

【 0 0 2 6 】 図 6 の装置の自己修正機構は図 5 の装置の自己修正機構よりも幾分複雑である。もしプロセス変動または温度変動によってトランジスタ 4 1 4 および 4 1 6 の抵抗値が低下すれば、抵抗 3 5 8、3 6 0、および 3 7 0 の抵抗値も、同じプロセスおよび温度変動が同じように影響するため低下しているはずである。こうして、図 4 のノード 3 7 2 の同じ固定電圧で以て、トランジスタ 3 5 6 を流れる電流はより大きくなるであろう。このより大きい電流はトランジスタ 3 7 4（図 4）へミラー複製されて、それはトランジスタ 3 7 6（図 4）からトランジスタ 4 1 0（図 6）へミラー複製される。トランジスタ 4 1 0 を流れるより大きい電流は抵抗 4 1 4 および 4 1 6 のより低い抵抗値をうち消して、抵抗 4 1 4 および 4 1 6 両端の電圧降下を適正な値とし、トランジスタ 4 2 0 のゲートにおける正しい電圧レベルを表示する。

【 0 0 2 7 】 図 7 は電圧グラフであって、ここで  $V_{ref}$  は 0 ボルトから、アース以下の - 2 ボルトまで変化させた。この図は、 $V_{ref}$  が変化するとノード 3 8 8 の電圧がこの電圧とともに線形に変化することを示している。この図はまた、ノード 3 8 8 の電圧が  $V_{ref}$  を通過する時に、ノード 3 9 5 における出力が 1 値から 0 値へと変化し、また逆に、ノード 3 8 8 の電圧が再び  $V_{ref}$  以上へ移行する時には、0 値から 1 値へと変化することを示している。この図は図 5 の回路の動作を示している。

【 0 0 2 8 】 同様に、図 8 は図 6 に示された電圧検出機構の動作を示している。この実験において、 $V_{ref}$  は 2. 4 ボルトから 3. 8 ボルトへ上昇し、再び 2. 4 ボルトへ戻ることを許容されている。2. 4 ボルトはこの集積回路の供給電圧にほぼ等しい。この図から分かるように、ノード 4 1 8 の電圧は  $V_{ref}$  の電圧を線形に追尾しており、ノード 4 1 8 の電圧が  $V_{ref}$  を通過する時に、ノード 4 2 5 におけるインバータ 4 2 4 からの出力が 0 ボルト状態から 1 値を示す 2. 4 ボルト状態へ変化するこ

とを示している。更に、ノード 4 1 8 の電圧が  $V_{ref}$  を通過して  $V_{ref}$  以下へ低下する時には、ノード 4 2 5 における出力は 1 電圧から 0 電圧へと変化して、そうすることによって  $V_{ref}$  の電圧の正しい電圧検出を提供している。

【0029】重要なことは、本発明のここに説明した実施例が複数の差動増幅器を含んでおり、そこにおいて、回路中の 2 個の差動増幅器の同一機能入力に対して電圧基準入力 that 供給されることである。例えば、図 4 のノード 3 2 4 は差動増幅器 3 4 9 の反転入力へつながれ、また図 5 のノード 3 8 8 は差動増幅器 3 9 1 の反転入力へつながれている。更に、 $V_{ref}$  は差動増幅器 3 4 9 および 3 9 1 の非反転入力を通じて転送されている。この構成において、このシステムの一方向の差動増幅器の特性を変更するプロセス変動または温度効果は、他方の差動増幅器に対する同じ変動または効果によってうち消される。これによって最新の超大規模集積回路の要求に応える高度に安定な回路を提供することができる。

【0030】本発明は特定の実施例を用いて説明してきたが、本発明のその他の実施例が当業者には明らかであろう。例えば、本発明の開示実施例は、 $V_{ref}$  および  $V_{in}$  を検出するための検出器を示しているが、電圧検出というのは幅広く利用される技術であって、適当な回路で与えられる任意の電圧を検出するために使用しても構わない。本発明はここに開示する本発明の特許請求の範囲によってのみ制約される。

#### 【図面の簡単な説明】

【図 1】従来技術の電圧レベル検出器の模式図。

【図 2】従来技術の電圧レベル検出器の模式図。

【図 3】従来技術の電圧レベル検出器の模式図。

【図 4】本発明の一実施例の一部分の模式図。

【図 5】図 4 に関連して説明される実施例の  $V_{in}$  検出器部分の模式図。

【図 6】図 4 の模式図に関連して提供される本発明の一実施例の  $V_{ref}$  検出器部分の模式図。

【図 7】図 5 の回路の動作を示す信号チャート。

【図 8】図 6 の回路の動作を示す信号チャート。

#### 【符号の説明】

1 0, 1 2, 1 4 P チャンネルトランジスタ  
1 8, 2 0 N チャンネルトランジスタ  
2 2, 2 4 N チャンネルトランジスタ  
2 6, 2 8 P チャンネルトランジスタ  
3 0 P チャンネルトランジスタ  
3 1 N チャンネルトランジスタ  
3 4, 3 6 P チャンネルトランジスタ  
3 8, 4 0 N チャンネルトランジスタ  
4 2 インバータ  
4 4 NOR ゲート  
4 6, 4 8, 5 0 インバータ  
1 1 0, 1 1 2 P チャンネルトランジスタ

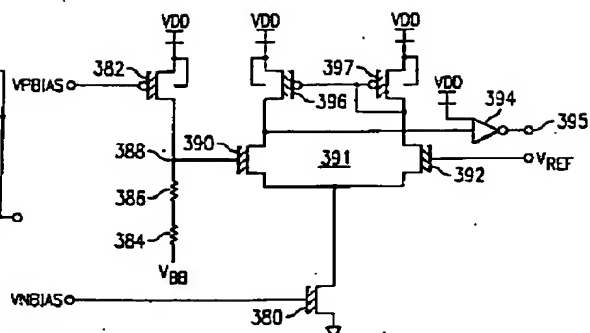
1 1 4, 1 1 6 N チャンネルトランジスタ  
1 2 0 P チャンネルトランジスタ  
1 2 2 N チャンネルトランジスタ  
1 2 6, 1 2 8 インバータ  
1 3 0 N チャンネルトランジスタ  
1 3 2 ラッチ  
1 3 4 インバータ  
2 1 0 P チャンネルトランジスタ  
2 1 1 インバータ  
2 1 2, 2 1 4, 2 1 6, 2 1 8 P チャンネルトランジスタ  
2 2 2, 2 2 4, 2 2 6, 2 2 8 N チャンネルトランジスタ  
2 3 0, 2 3 2 P チャンネルトランジスタ  
2 3 4, 2 3 6, 2 3 8 N チャンネルトランジスタ  
2 4 0 P チャンネルトランジスタ  
2 4 2 N チャンネルトランジスタ  
2 4 4 インバータ  
2 4 6 N チャンネルトランジスタ  
2 4 8 P チャンネルトランジスタ  
2 5 0 インバータ  
2 5 2 NAND ゲート  
2 5 4 P チャンネルトランジスタ  
2 5 6 N チャンネルトランジスタ  
3 1 0, 3 1 2 PNP トランジスタ  
3 1 4 抵抗  
3 1 6, 3 1 8 N チャンネルトランジスタ  
3 2 0 PNP トランジスタ  
3 2 2 抵抗  
3 2 8 N チャンネルトランジスタ  
3 3 0, 3 3 2, 3 3 4, 3 3 6, 3 3 8, 3 4 0, 3 4 2 P チャンネルトランジスタ  
3 4 4, 3 4 6, 3 4 8 N チャンネルトランジスタ  
3 4 9 差動増幅器  
3 5 0 N チャンネルトランジスタ  
3 5 2, 3 5 4, 3 5 6 P チャンネルトランジスタ  
3 6 0, 3 7 0 抵抗  
3 7 4 P チャンネルトランジスタ  
3 7 6 N チャンネルトランジスタ  
3 8 0 N チャンネルトランジスタ  
3 8 2 P チャンネルトランジスタ  
3 8 4, 3 8 6 抵抗  
3 9 0 N チャンネルトランジスタ  
3 9 1 差動増幅器  
3 9 2 N チャンネルトランジスタ  
3 9 4 インバータ  
3 9 6, 3 9 7 P チャンネルトランジスタ  
4 1 0, 4 1 2 N チャンネルトランジスタ  
4 1 4, 4 1 6 抵抗  
4 2 0 N チャンネルトランジスタ



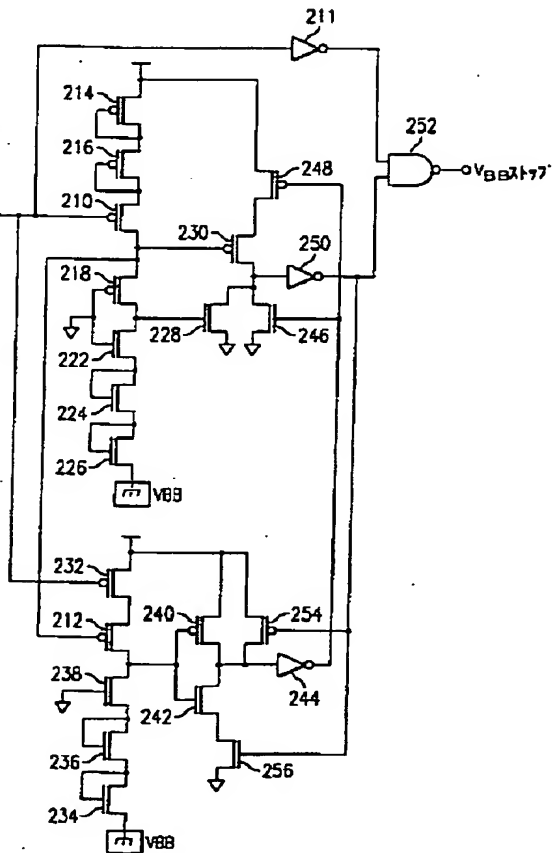
4 2 4 インバータ

426, 428 Pチャンネルトランジスタ

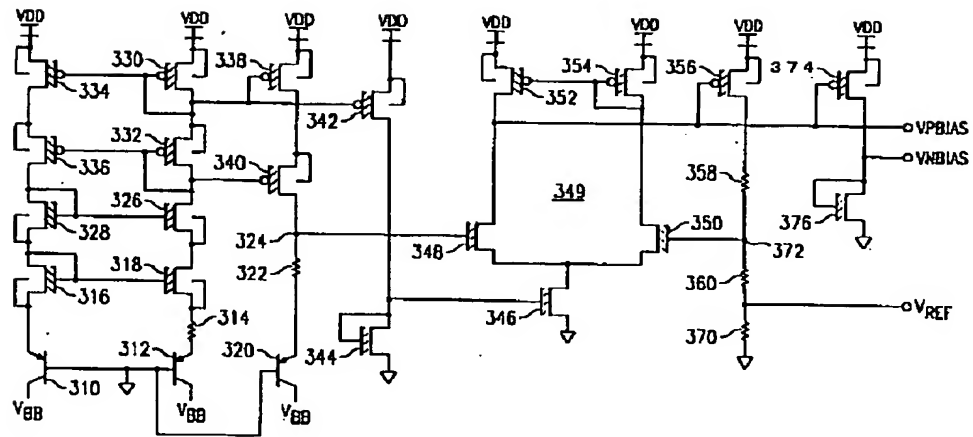
【図 5】



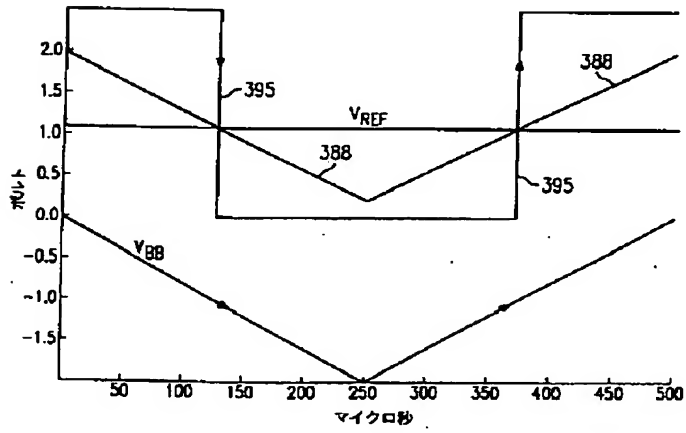
【图 3】



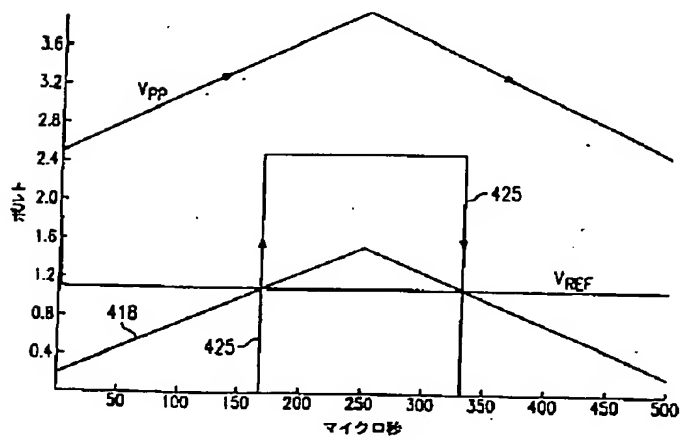
【 図 4 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 ユング - チェ シー

アメリカ合衆国 テキサス州プラノ, リオ

グランデ ドライブ 1 5 1 5, アパー

トメント 1 3 0 6